

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-041801

(43)Date of publication of application : 12.02.1999

(51)Int.Cl.

H02H 9/04  
 H01L 21/8234  
 H01L 27/088  
 H01L 29/78  
 // H01L 27/06

(21)Application number : 09-192586

(71)Applicant : NEC CORP

(22)Date of filing : 17.07.1997

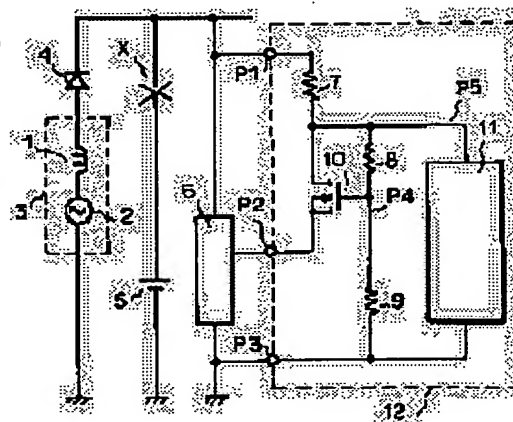
(72)Inventor : OHASHI IKUO

## (54) VOLTAGE CLAMP CIRCUIT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a voltage clamp circuit which can prevent variations in clamp voltage and is a smaller sized chip.

**SOLUTION:** A three-terminal regulator 6 is connected to an output terminal of a generator 3, and then a clamp circuit (IC) 12 is connected to three terminals of the three-terminal regulator 6. The clamp circuit 12, being constituted of a transistor 10, three resistors 7, 8, 9 and a control circuit 11, clamp the voltage using the threshold voltage of the transistor 10 and prevents overvoltage from being applied to the control circuit 11. Since the clamp circuit 12 does not use a constant-voltage diode, it can prevent the variation in voltage to be clamped. It can also reduce the margin of withstanding voltage in the control circuit 11 and reduce the size of a chip and thereby prevent the decrease in operating speed, so that it can reduce the size and weight and increase the operating speed of the entire device.



## LEGAL STATUS

[Date of request for examination] 17.07.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3092549

[Date of registration] 28.07.2000

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-41801

(43)公開日 平成11年(1999) 2月12日

(51)Int.Cl.<sup>4</sup>

識別記号

F I

H 0 2 H 9/04

H 0 2 H 9/04

B

H 0 1 L 21/8234

H 0 1 L 27/08

1 0 2 J

27/088

29/78

6 5 7 G

29/78

27/06

1 0 1 P

// H 0 1 L 27/06

審査請求 有 請求項の数 3 O L (全 7 頁)

(21)出願番号

特願平9-192586

(22)出願日

平成9年(1997) 7月17日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 大橋 郁夫

東京都港区芝五丁目7番1号 日本電気株式会社内

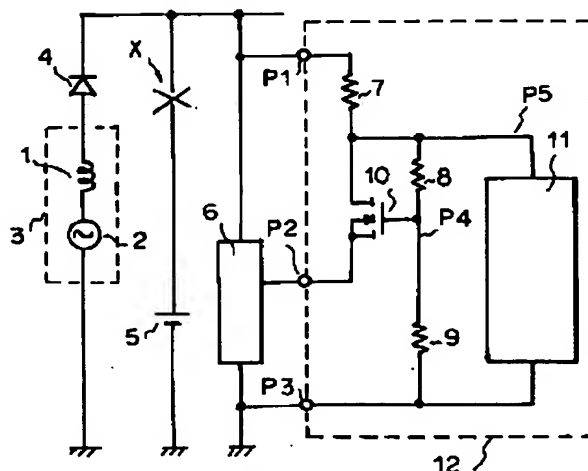
(74)代理人 弁理士 鈴木 章夫

(54)【発明の名称】 電圧クランプ回路

(57)【要約】

【課題】 定電圧ダイオードを用いたクランプ回路では、定電圧ダイオードの特性バラツキによって電圧バラツキが大きくなり、負荷回路の耐圧マージンが大きくなる。

【解決手段】 発電機3の出力端に三端子レギュレータ6を接続し、この三端子レギュレータの三つの端子にクランプ回路IC12を接続する。このクランプ回路は、1つのトランジスタ10、3つの抵抗7、8、9、及び制御回路11で構成され、トランジスタ10におけるスレッシュホールド電圧を利用することで、電圧をクランプするとともに、制御回路11への過電圧を防止する。定電圧ダイオードを用いていないので、クランプする電圧バラツキを抑制でき、制御回路での耐圧マージンを低減し、チップサイズを小さくしかつ動作速度の低下を可能とし、小型化、軽量化、高速化を図ることができる。



- 3 : 発電機
- 4 : ダイオード
- 5 : バッテリ
- 6 : 定電圧回路
- 10 : 電界効果トランジスタ
- 11 : 制御回路
- 12 : IC (クランプ回路)

## 【特許請求の範囲】

【請求項 1】 電源と、この電源の出力端間に二つの端子が接続される三端子定電圧素子と、前記三端子定電圧素子の第 1 ないし第 3 の各端子に接続されたクランプ回路とを備え、前記クランプ回路は、前記第 1 及び第 2 の端子間に接続される直列接続された第 1 の抵抗および第 1 のトランジスタと、前記第 1 の抵抗および第 1 のトランジスタとの接続点と、前記第 1 のトランジスタのゲートもしくはベースとの間に接続される第 2 の抵抗と、前記第 1 のトランジスタのゲートもしくはベースと前記第 3 の端子間に接続される第 3 の抵抗と、前記直列状態に接続された第 2 の抵抗と第 3 の抵抗と並列に制御回路が接続されていることを特徴とする電圧クランプ回路

【請求項 2】 前記第 1 のトランジスタのゲートもしくはベースと前記第 3 の端子間に、第 2 のトランジスタ及び第 3 の抵抗が直列に接続されている請求項 1 に記載の電圧クランプ回路

【請求項 3】 電源と、この電源の出力端間に二つの端子が接続される三端子定電圧素子と、前記三端子定電圧素子の第 1 ないし第 3 の各端子に接続されたクランプ回路とを備え、前記クランプ回路は、前記第 1 及び第 3 の端子間に接続される直列接続された第 1 の抵抗、第 1 のトランジスタ及び第 3 のトランジスタと、前記第 1 の抵抗および第 1 のトランジスタとの接続点と、前記第 1 のトランジスタのゲートもしくはベースとの間に接続される第 2 の抵抗と、前記第 1 のトランジスタのゲートもしくはベースと前記第 3 の端子間に接続される第 3 の抵抗と、前記直列状態に接続された第 2 の抵抗と第 3 の抵抗と並列に接続された制御回路と、前記第 2 の端子と第 3 の端子間に直列接続される第 4 及び第 5 のトランジスタと第 4 の抵抗とを備え、前記第 3 のトランジスタのゲートもしくはベースは前記第 5 のトランジスタと第 4 のトランジスタの接続点に接続されていることを特徴とする電圧クランプ回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、サージ電圧などの過電圧をある一定の電圧以下とする電圧クランプ回路に関する。

## 【0002】

【従来の技術】 従来、この種のクランプ回路として、図 5 に示す回路構成のものがある。この回路では、インダクタンス 1 と交流電源 2 を内蔵する発電機 3 に、ダイオード 4 を直列接続し、かつこの直列回路にバッテリー 5 を並列に接続した電源回路として構成され、この電源回路にクランプ回路 IC102 が接続されている。そして、発電機 3 からダイオード 4 を経て、バッテリー 5 に充電している状態で、ねじのゆるみ等によりバッテリー 5 につながる線が断線 13 すると、インダクタンス 1 により発電機 3 に過電圧が発生する。このため、接続点 P1、P3

間に接続されている制御回路 11 に過電圧が印加され、制御回路 11 が破壊に至ることがある。このため、この回路では接続点 P1、P3 の間に抵抗 103 と定電圧ダイオード 101 を直列接続し、かつこの定電圧ダイオード 101 の両端に前記制御回路 11 を接続している。したがって、制御回路 11 が接続されている接続点 18 の電圧は、定電圧ダイオード 101 でクランプされるため、制御回路 11 に過電圧が印加されるのを防ぐことができる。

【0003】 また、特開平 6-89972 号公報に記載の回路は、図 6 に示すように、直流電源 201 と、インダクタンス 202、抵抗 203 で構成された誘導性負荷 204 と、電界効果トランジスタ 205 と、抵抗 206 ~ 208 と、制御回路 209 と、バイポーラトランジスタ 210 と、定電圧ダイオード 211 とで構成される。

【0004】 この回路では、電界効果トランジスタ 205 が OFF のときに、インダクタンス 202 より過電圧が発生する。この時、抵抗 206、バイポーラトランジスタ 210 のベース・エミッタ、定電圧ダイオード 211、抵抗 207、制御回路 209 を流れる電流により、電界効果トランジスタ 205 のゲート・ソース間電圧が  $V_{th}$  を越えると、電界効果トランジスタ 205 は ON 状態へ推移し、逆に  $V_{th}$  より小さいと、電界効果トランジスタ 205 は OFF 状態へ推移する。なお、 $V_{th}$  は、電界効果トランジスタ 205 のスレッシュホールド電圧である。これにより、電界効果トランジスタ 205 のドレイン・ソース間電圧  $V_{ds}$  を、

$$V_{ds} = (V_{th} + V_i + V_{be}) \times (R1 + R2) / R2$$

以下にクランプするものである。なお、 $V_{be}$  はバイポーラトランジスタ 210 のベース・エミッタ間電圧、 $V_i$  は定電圧ダイオード 211 の降伏電圧、 $R1$ 、 $R2$  は抵抗 206、208 の各抵抗値である。また、「 $V_{th} + V_{be}$ 」の温度係数を相殺する耐圧に定電圧ダイオード 211 を設定するというものである。

【0005】 しかしながら、このような定電圧ダイオードを用いた回路では、クランプ電圧のバラツキが大きく、例えば、温度依存性  $\pm 7\%$  を含めると  $20V \pm 20\%$  程度あり、したがって制御回路 213 の耐圧マージンを大きくとることが必要となり、チップサイズが大きくなるとともに、動作速度が低下するという問題が生じる。

【0006】 そこで、定電圧ダイオードを用いない回路が特開平 6-232646 号公報に提案されている。この回路は、図 7 に示すように、直流電源 301 と、負荷 302 と、電界効果トランジスタ 303、304、305 と、抵抗 306、307 と、制御回路 308 とで構成される。この回路では、電界効果トランジスタ 303 への通電中に、過電流により電界効果トランジスタ 303 の ON 電圧が上昇すると、電界効果トランジスタ 305

がONする。これにより、制御回路308からの電流が抵抗307を流れることにより、電界効果トランジスタ304のゲート・ソース間電圧が $V_n$ を越え、電界効果トランジスタ304はON状態へ推移し、逆に $V_n$ より小さいと、電界効果トランジスタ304はOFF状態へ推移する。これにより、電界効果トランジスタ304のドレイン・ソース間電圧 $V_{ds}$ を、 $V_{ds} = V_n \times (R1 + R2) / R2$ にクランプするものである。なお、 $R1$ 、 $R2$ はそれぞれ抵抗306、307の抵抗値である。

【0007】

【発明が解決しようとする課題】前記したように、図5及び図6に示した定電圧ダイオードを用いる回路では、定電圧ダイオードのクランプ電圧のバラツキが顕著であり、これを回避するためには制御回路の耐圧マージンを大きくとることが必要となり、チップサイズが大きくなり、動作速度が低下してしまう。また、図7に示した定電圧ダイオードを用いない回路では、定電圧ダイオードによるクランプ電圧のバラツキは回避されるものの、この回路構成においても電界効果トランジスタのスレッシュ

ホルド電圧 $V_n$ の製造バラツキや温度依存性を考慮すると、例えば、 $0.8V \pm 0.4V$ のように、 $\pm 50\%$ ものバラツキになってしまう。したがって、図7の回路においても図5、図6の回路の問題を解消することは不十分なものになっている。

【0008】本発明はクランプ電圧のバラツキを防止することが可能であるとともに、チップサイズを縮小化した電圧クランプ回路を提供することにある。

【0009】

【課題を解決するための手段】本発明は、電源と、この電源の出力端間に二つの端子が接続される三端子定電圧素子と、前記三端子定電圧素子の第1ないし第3の各端子に接続されて負荷回路に定電圧を供給するクランプ回路とを備えており、前記クランプ回路は、前記第1及び第2の端子間に接続される直列接続された第1の抵抗および第1のトランジスタと、前記第1の抵抗および第1のトランジスタとの接続点と、前記第1のトランジスタのゲートもしくはベースとの間に接続される第2の抵抗と、前記第1のトランジスタのゲートもしくはベースと前記第3の端子間に接続される第3の抵抗と、前記直列状態に接続された第2の抵抗と第3の抵抗と並列に接続された制御回路とを備える構成とする。この場合、前記第1のトランジスタのゲートもしくはベースと前記第3の端子間に、第2のトランジスタ及び第3の抵抗が直列に接続されていてもよい。

【0010】また、前記クランプ回路は、前記第1及び第3の端子間に接続される直列接続された第1の抵抗、第1のトランジスタ及び第3のトランジスタと、前記第1の抵抗および第1のトランジスタとの接続点と、前記第1のトランジスタのゲートもしくはベースとの間に接

続される第2の抵抗と、前記第1のトランジスタのゲートもしくはベースと前記第3の端子間に接続される第3の抵抗と、前記直列状態に接続された第2の抵抗と第3の抵抗と並列に接続された制御回路と、前記第2の端子と第3の端子間に直列接続される第4及び第5のトランジスタと第4の抵抗とを備え、前記第3のトランジスタのゲートもしくはベースは前記第5のトランジスタと第4のトランジスタの接続点に接続されている構成とする。

10 【0011】本発明の電源クランプ回路は、定電圧ダイオードを使用せず、定電圧回路を使用する。特に、この定電圧回路として、通常、ICの低電圧側の電源として使用している市販の三端子レギュレータを用いる。そして、この三端子レギュレータの端子にトランジスタと抵抗とで構成されるクランプ回路を接続し、トランジスタのスレッシュ

ホルド電圧を利用することで過電圧を吸収して電圧バラツキを低減し、かつ制御回路における定電圧を保持する。

【0012】

20 【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1は本発明の第1の実施形態の回路図である。同図において、インダクタンス1及び交流電源2を内蔵する発電機3に対しダイオード4が直列に接続され、この直列回路に対してバッテリー5と、定電圧回路6とがそれぞれ並列に接続される。この定電圧回路としては、通常、ICの低電圧側の電源として使用される市販の三端子レギュレータ（電圧バラツキ： $\pm 5\%$ 程度）で構成される。そして、この定電圧回路6の三つの端子がそれぞれ接続点P1、P2、P3としてクランプ回路を構成するIC12に接続される。前記IC12は、接続点P2にソースが、接続点P1に抵抗8を介してドレインが、接続点P3に分圧抵抗8、9を介してゲートがそれぞれ接続されたNチャネル型の電界効果トランジスタ10とで構成されている。また、この電界効果トランジスタ10のソース・ドレイン間に制御回路11が接続されている。

【0013】このクランプ回路を備える電源回路の動作を図2を参照して説明する。発電機3からダイオード4を経て、バッテリー5を充電している状態で、ねじのゆるみ等によりバッテリー5の回路が断線Xすると、発電機3のインダクタンス1により過電圧が発生し、IC12の接続点P1と接続点P3（GND）の間に前記過電圧が印加される。しかし、接続点P2の電圧は、定電圧回路6の出力電圧Eであり、一定電圧に保たれる。したがって、電界効果トランジスタ10のゲート電圧は、「 $E + V_n$ 」となる。ここで、 $V_n$ は、電界効果トランジスタ10のスレッシュ

ホルド電圧を示す。そして、前記ゲート電圧、すなわち接続点P4の電圧が上昇しようとしたとしても、電界効果トランジスタ10のゲート・ソース間電圧が $V_n$ を越えたときに、電界効果トランジスタ10

がON状態となってドレイン・ソース間が導通されるため、接続点P4の電圧は「 $E + V_m$ 」に戻される。したがって、制御回路11の電圧である接続点P5の電圧 $V_{ps}$ は、

$$V_{ps} = (E + V_m) \times (R8 + R9) / R9$$

となり、過電圧が印加されるのを防止することができる。なお、R8、R9はそれぞれ抵抗8、9の抵抗値である。例えば、 $E = 5V \pm 5\%$ 、 $V_m = 0.8V \pm 0.4V$ 、 $R8 : R9 = 2.45 : 1$ とすると、クランプ電圧は $20V \pm 2.3V$ となり、バラツキが抑制されていることが判る。

【0014】図3は本発明の第2の実施形態の回路図である。なお、図1と等価な部分には同一符号を付して説明は省略する。この実施形態では、クランプ回路を構成するIC12Aは、電界効果トランジスタ10のゲートと抵抗9間に、ゲート・ドレインを接続した第2の電界効果トランジスタ13のソース・ドレインを介挿接続している。なお、この第2の電界効果トランジスタ13は、前記電界効果トランジスタ10と同一導電型のNチャネル型の電界効果トランジスタが用いられる。

【0015】この第2の実施形態では、発電機3において過電圧が発生し、接続点P4の電圧が上昇しようとする、電界効果トランジスタ10がON状態となるため、前記第1の実施形態と同様に接続点P4の電圧は「 $E + V_m$ 」に保持される。ここで、電界効果トランジスタ10と同じ導電型の第2の電界効果トランジスタ13が存在するため、接続点P4の電圧 $E_m$ は「 $E + V_{m1} - V_{m2}$ 」となる。したがって、両電界効果トランジスタ10、13を同じスレッシュホールド電圧とすることにより、接続点P6の電圧 $V_{ps}$ は「 $E + V_m - V_m = E$ 」となる。したがって、接続点P5の電圧 $V_{ps}$ は、 $V_{ps} = E \times (R8 + R9) / R9 + V_m$

となる。したがって、電圧がクランプされるため、制御回路11に過電圧が印加されるのを防ぐことができる。例えば、 $E = 5V \pm 5\%$ 、 $V_m = 0.8V \pm 0.4V$ 、 $R8 : R9 = 2.84 : 1$ とすると、クランプ電圧は $20V \pm 1.4V$ となり、第1の実施形態よりもバラツキが抑制されていることが判る。

【0016】図4は本発明の第3の実施形態の回路図である。同図において、前記第1及び第2の各実施形態と等価な部分には同一符号を付してその説明は省略する。この実施形態では、クランプ回路としてのIC12Bは、前記電界効果トランジスタ10と逆導電型のPチャネル型の第3の電界効果トランジスタ14のドレイン・ソースを前記電界効果トランジスタ10のソースと接続点P3との間に接続する。また、前記電界効果トランジスタ10と同じNチャネル型の第4の電界効果トランジスタ15と逆のNチャネル型の第5の電界効果トランジスタ16のソース・ドレインをそれぞれ縦続接続し、抵抗17を介して前記接続点P2とP3の間に接続してい

る。なお、これら第4及び第5の各電界効果トランジスタ15、16のゲートはそれぞれドレインに接続しており、また前記第3の電界効果トランジスタ14のゲートは第5の電界効果トランジスタ16と抵抗17との接続点P7に接続している。

【0017】この構成では、発電機3に過電圧が発生したとき、接続点P7の電圧 $V_p$ は、「 $E - V_m - V_{tp}$ 」となる。ここで、 $V_m$ 、 $V_{tp}$ は、それぞれ前記したNチャネル型、Pチャネル型の各電界効果トランジスタ10、14、15、16のスレッシュホールド電圧の絶対値であり、特にここで同じ導電型のトランジスタの絶対値はそれぞれ等しいものとする。そして、接続点P4の電圧 $V_m$ は、接続点P7の電圧+電界効果トランジスタ14のスレッシュホールド電圧+電界効果トランジスタ10のスレッシュホールド電圧であることより、

$$V_m = E - V_m - V_{tp} + V_{tp} + V_m = E$$

となる。仮に、接続点P4の電圧 $V_m$ が上昇し、すなわち接続点P5の電圧が上昇するとしても、電界効果トランジスタ10がON状態になるため、接続点P4の電圧 $V_m$ は「 $E$ 」に戻る。これにより、接続点P5の電圧 $V_{ps}$ は、

$$V_{ps} = E \times (R8 + R9) / R9$$

となる。したがって、電圧がクランプされるため、制御回路11に過電圧が印加されるのを防ぐことができる。例えば、 $E = 5V \pm 5\%$ 、 $V_m = 0.8V \pm 0.4V$ 、 $V_{tp} = 0.7V \pm 0.4V$ 、 $R8 : R9 = 3 : 1$ とすると、クランプ電圧は $20V \pm 1.0V$ となり、前記各実施形態よりもバラツキが抑制されていることが判る。また、電圧をクランプしたときに流れる電流が、電界効果トランジスタ10、電界効果トランジスタ14を流れるため、定電圧回路6に流れ込むことはなく、定電圧回路の電流吸収能力にかかわらず、安定したクランプ電圧を得ることができる。

【0018】なお、前記第1ないし第3の実施形態では、保護すべき制御回路11がGND側にあるため、GND側にある定電圧回路6とNチャネル型電界効果トランジスタを主体に回路を構成しているが、保護すべき回路が電源側にある場合には、電源側にある定電圧回路とPチャネル型電界効果トランジスタでクランプ回路を構成すればよい。また、前記各実施形態ではトランジスタとして電界効果トランジスタを用いているが、バイポーラトランジスタを用いても同様に適用できる。この場合には、前記各実施形態のNチャネル型電界効果トランジスタとしてNPNバイポーラトランジスタを、Pチャネル型電界効果トランジスタとしてPNPバイポーラトランジスタを用いればよい。

【0019】

【発明の効果】以上説明したように本発明は、三端子レギュレータの三つの端子にトランジスタと抵抗とで構成されるクランプ回路を接続し、そのトランジスタのスレ

10

20

30

40

50

しき電圧を利用することでクランプ動作を行っているため、定電圧ダイオードを用いなくとも定電圧回路が構成でき、しかもトランジスタのスレッシュホールド電圧が電源電圧に対する比率を低減できるため、クランプ電圧のバラツキを小さくすることができる。これにより、制御回路の耐圧マージンを小さくすることが可能となり、チップサイズが小さくなるとともに、動作速度の増加を可能とし、小型化、軽量化、高速化を図ることができる。

**【図面の簡単な説明】**

【図 1】 本発明の第 1 の実施形態の回路図である。

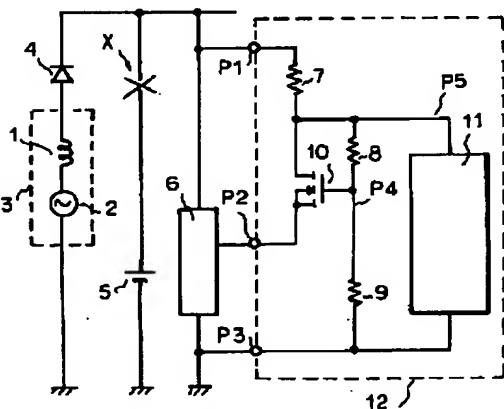
【図2】図1の回路の動作を説明するための波形図である。

【図3】本発明の第2の実施形態の回路図である。

【図 4】 本発明の第 3 の実施形態の回路図である。

【図5】従来のクランプ回路の一例の回路図である。 \*

【図 1】



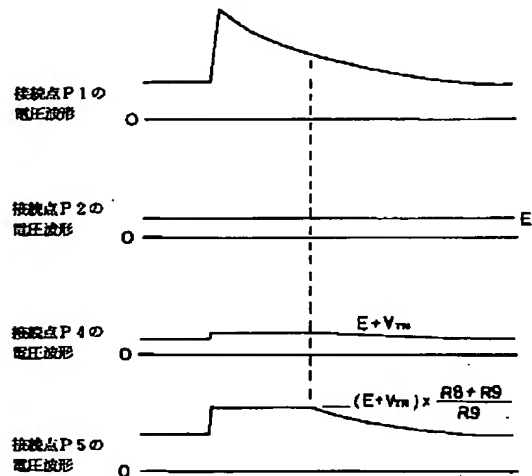
- 3:発電機  
4:ダイオード  
5:バッテリー  
6:定電圧回路  
10:電界効果トランジスタ  
11:制御回路  
12:IC(クランプ回路)

\* 【図6】従来のクランプ回路の他の例の回路図である。  
 【図7】従来のクランプ回路のさらに他の例の回路図である。

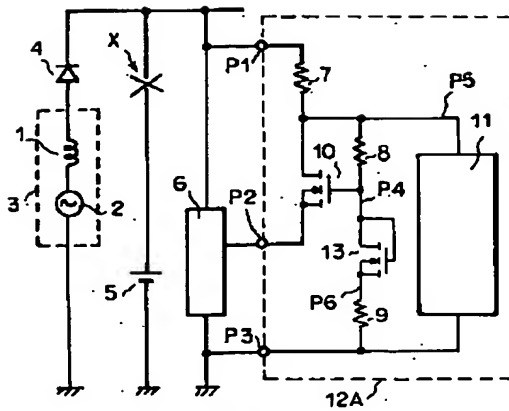
【符号の説明】

- 1 インダクタンス
- 2 交流電源
- 3 発電機
- 4 ダイオード
- 5 バッテリ
- 10 6 定電圧回路
- 7, 8, 9 抵抗
- 10 電界効果トランジスタ
- 11 制御回路
- 12, 12 A, 12 B IC
- 13, 14, 15, 16 電界効果トランジスタ
- 17 抵抗

【图 2】

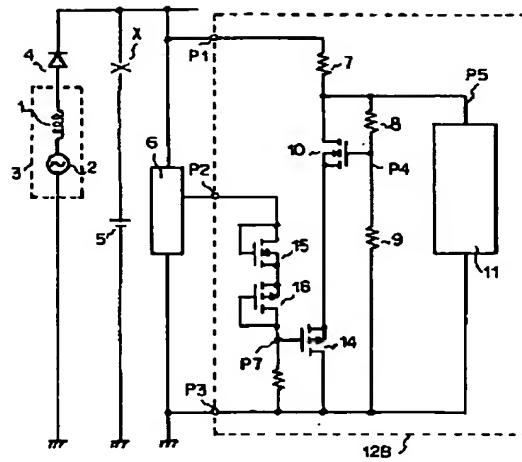


【図3】



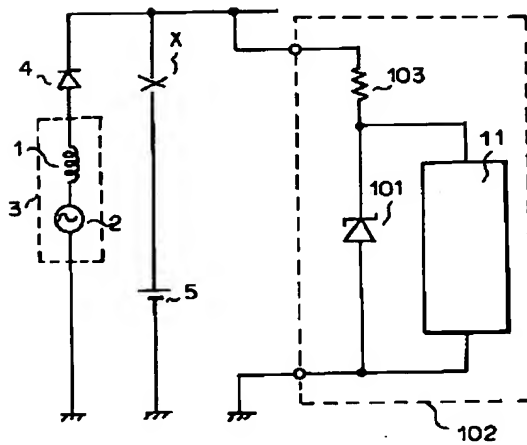
- 3 : 発電機  
4 : ダイオード  
5 : バッテリ  
6 : 定電圧回路  
10 : 電界効果トランジスタ  
11 : 制御回路  
12A : IC (クランプ回路)  
13 : 電界効果トランジスタ

【図4】



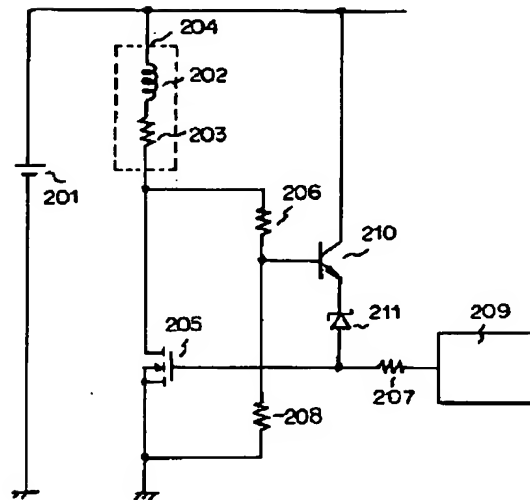
- 3 : 発電機  
4 : ダイオード  
5 : バッテリ  
6 : 定電圧回路  
10 : 電界効果トランジスタ  
11 : 制御回路  
12B : IC (クランプ回路)  
14 : 電界効果トランジスタ

【図5】



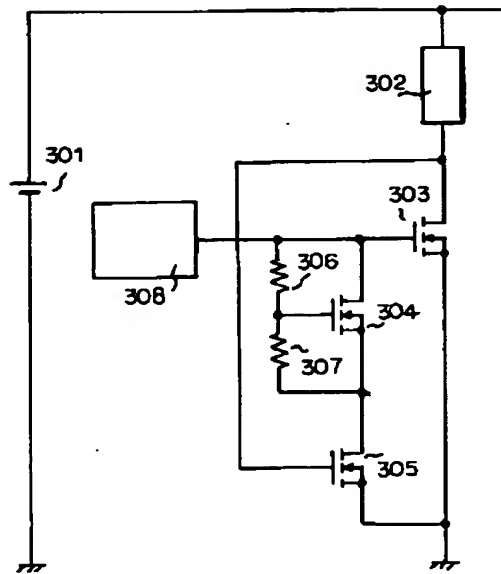
- 3 : 発電機  
4 : ダイオード  
5 : バッテリ  
11 : 制御回路  
101 : 定電圧ダイオード  
102 : IC (クランプ回路)

【図6】



- 201 : 直流電源  
204 : 誘導性負荷  
205 : 電界効果トランジスタ  
209 : 制御回路  
210 : パワーラトランジスタ  
211 : 定電圧ダイオード

【図 7】



301 : 直流電源  
302 : 負荷  
303 ~ 305 : 電界効果トランジスタ  
308 : 制御回路